

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036413

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H01F 17/00
H01F 41/04
// H05K 1/16

(21)Application number : 10-203124

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 17.07.1998

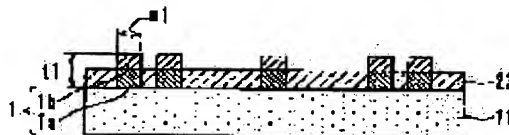
(72)Inventor : SASAKI TOSHIYA
UCHIYAMA KAZUYOSHI
KAWAGUCHI MASAHICO
AMAYA KEISHIRO
TAMEZAWA EITA

(54) ELECTRONIC COMPONENT AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a small electronic component with a conductor pattern, which is low direct current resistance and uniform in dimensional accuracy and a manufacturing method thereof.

SOLUTION: A manufacturing method is carried out through a manner in which a photosensitive conductive paste applied onto a ceramic board 11 is exposed to light, through a photomask and developed for the formation of the lower conductor pattern 1a of a coil conductor pattern 1. Insulating paste is applied onto the ceramic board 11 covering the lower conductor pattern 1a and then rinsed out with a solvent, until the upside of the lower conductor pattern 1a is exposed, and an inter-line insulating layer 23 is formed. Furthermore, photosensitive conductive paste is applied to the surface of the insulating layer 23 like a film, then exposed to light through a photomask and is developed for the formation of an upper conductor pattern layer 1b on the lower conductor pattern layer 1a.



LEGAL STATUS

[Date of request for examination] 03.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3164068

[Date of registration] 02.03.2001

Best Available Copy

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-36413

(P2000-36413A)

(43) 公開日 平成12年2月2日 (2000.2.2)

(51) Int.Cl. ⁷	識別記号	F I	テームド ⁷ (参考)
H 0 1 F 17/00		H 0 1 F 17/00	B 4 E 3 5 1
41/04		41/04	C 5 E 0 6 2
// H 0 5 K 1/16		H 0 5 K 1/16	B 5 E 0 7 0

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平10-203124

(22) 出願日 平成10年7月17日 (1998.7.17)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 佐々木 俊哉

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 内山 一義

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100091432

弁理士 森下 武一

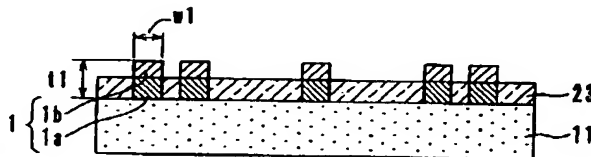
最終頁に続く

(54) 【発明の名称】 電子部品及びその製造方法

(57) 【要約】

【課題】 導体パターンの直流抵抗値が小さく、かつ、導体パターンの寸法精度のばらつきが小さい小型の電子部品及びその製造方法を提供する。

【解決手段】 セラミック基板11上に付与された感光性導電ペーストをフォトマスクを通して露光及び現像し、コイル導体パターン1の下部導体パターン層1aを形成する。下部導体パターン層1aを覆ってセラミック基板11の上に絶縁ペーストを付与し、該絶縁ペーストを少なくとも下部導体パターン層1aの上面が露出するまで溶剤で洗い流し、ライン間絶縁層23を形成する。さらに、感光性導電ペーストを膜状に付与した後、再びフォトマスクを使用して露光及び現像して下部導体パターン層1aの上に上部導体パターン層1bを形成する。



【特許請求の範囲】

【請求項1】 絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備え、該導体パターンの厚みとパターン幅の比が1以上であることを特徴とする電子部品。

【請求項2】 前記導体パターンがコイル導体パターンであることを特徴とする請求項1記載の電子部品。

【請求項3】 前記導体パターンがスパイラル形状を有していることを特徴とする請求項1又は請求項2記載の電子部品。

【請求項4】 前記導体パターンが層間絶縁層を間に配設して複数積み重ねられていることを特徴とする請求項1ないし請求項3記載の電子部品。

【請求項5】 絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

前記絶縁基板上に前記下部導体パターン層を形成する工程と、

前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与した後、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、

前記下部導体パターン層の上に前記上部導体パターン層を形成する工程と、

を備えたことを特徴とする電子部品の製造方法。

【請求項6】 絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

前記絶縁基板上に感光性導電材料を膜状に付与し、該感光性導電材料をフォトマスクを通して露光し、現像して前記下部導体パターン層を形成する工程と、

前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与し、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、

前記ライン間絶縁層及び前記下部導体パターン層の上に感光性導電材料を膜状に付与し、該感光性導電材料を前記フォトマスクを通して露光し、現像して前記下部導体パターン層の上に前記上部導体パターン層を形成する工程と、

を備えたことを特徴とする電子部品の製造方法。

【請求項7】 ライン間絶縁層及び導体パターンの上にビアホールを有する層間絶縁層を形成する工程、下部導体パターン層を形成する工程、ライン間絶縁層を形成する工程及び上部導体パターン層を形成する工程を順次繰り返すことを特徴とする請求項5又は請求項6記載の電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子部品及びその製造方法に関し、特に、プリント基板のパターンの表面に実装される表面実装型のインダクタやストリップライン部品等の電子部品及びその製造方法に関する。

【0002】

【従来の技術】 従来より、高いQ値を有する表面実装型のインダクタの製造方法としては、セラミックのマザー基板の表面に、コイル導体パターンをスクリーン印刷法により形成し、コイル導体パターンの膜厚を厚く（断面積を大きく）し、コイル導体パターンの直流抵抗値（導体損）を小さくする方法が一般に知られている。しかし、スクリーン印刷法では、コイル導体パターンの寸法精度のばらつきが大きく、インダクタンス値の偏差が大きいためだけでなく、コイル導体の導体幅を狭くすることが困難であった。

【0003】 一方、インダクタンス値の偏差が小さいインダクタを製造する方法としては、マザー基板上にスパッタリングや蒸着等の手法を用いて金属膜を成膜し、フォトリソグラフィ技術によりコイル導体パターンを形成する方法が一般に知られている。しかし、この方法では、スクリーン印刷法と比較して、コイル導体パターンの膜厚を厚くすることが困難で、高いQ値を有するインダクタを得るのは困難であった。

【0004】 そこで、高いQ値を有するとともに、インダクタンス値の偏差の小さいインダクタを製造する方法として、感光性導電ペーストを用いて厚膜印刷とフォトリソグラフィ技術とを組み合わせることによりコイル導体パターンを形成する方法や、セミアディティブ工法と称される手法を用いて、厚膜でかつ寸法精度の高いコイル導体パターンを形成する方法が提案されている（例えば、特開平8-316080号公報、特開平9-45570号公報参照）。

【0005】

【発明が解決しようとする課題】 ところで、セミアディティブ工法は工程数が多いため製造コストが高価であり、感光性導電ペーストを用いた方法が好ましい。しかし、大きなインダクタンス値を有する小型のインダクタを得るためには、限られたコイル導体形成領域内で、微細なコイル導体パターンを形成する必要がある。このため、従来方法のように感光性導電ペーストを用いた場合でも、コイル導体パターンのライン幅が小さくなって導体損が大きくなり、Q値が低下するという問題があった。また、感光性導電ペーストの厚み方向の解像度は、アスペクト比1（現像後）が限界であり、これ以上感光性導電ペーストの膜厚を厚くすることは困難であった。なお、コイル導体パターンのアスペクト比は、コイル導体パターンの厚みとパターン幅との比を意味する。

【0006】 そこで、本発明の目的は、導体パターンの

直流抵抗値が小さく、かつ、導体パターンの寸法精度のばらつきが小さい小型の電子部品及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段及び作用】前記目的を達成するため、本発明に係る電子部品は、絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備え、該導体パターンの厚みとパターン幅の比が1以上であることを特徴とする。

【0008】導体パターンが、下部導体パターン層と上部導体パターン層からなるため、その断面積は下部導体パターン層の断面積と上部導体パターン層の断面積との和に等しい。これにより、導体パターンの断面積が大きくなり、導体パターンの直流抵抗値が低減される。そして、導体パターンがコイル導体パターンで、その形状をスパイラル状にすることにより、高いQ値を有し、かつ、インダクタンス値の大きいインダクタが得られる。また、導体パターンの厚みとパターン幅の比で定義されるアスペクト比を1以上とすることにより、導体パターンのパターン幅寸法が抑えられ、導体パターンの直流抵抗値を増加させることなく、導体パターンの絶縁基板上での占有面積を低減させることができる。

【0009】また、本発明に係る電子部品の製造方法は、絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

(a) 前記絶縁基板上に前記下部導体パターン層を形成する工程と、(b) 前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与した後、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、

(c) 前記下部導体パターン層の上に前記上部導体パターン層を形成する工程と、を備えたことを特徴とする。

【0010】さらに、本発明に係る電子部品の製造方法は、絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

(d) 前記絶縁基板上に感光性導電材料を膜状に付与し、該感光性導電材料をフォトマスクを通して露光し、現像して前記下部導体パターン層を形成する工程と、

(e) 前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与し、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、(f) 前記ライン間絶縁層及び前記下部導体パターン層の上に感光性導電材料を膜状に付与し、該感光性導電材料を前記フォトマスクを通して露光し、現像して前記下部導体パターン層の上に前記上部導体パターン層を形成する工程と、を備えたことを特徴とする。

【0011】以上の方法により、導体パターンの下部導体パターン層及び上部導体パターン層が、それぞれ容易に形成される。そして、得られた導体パターンは、導電材料の深さ方向の解像限界以上の高アスペクト比を有する。

【0012】また、ライン間絶縁層及び導体パターンの上にビアホールを有する層間絶縁層を形成する工程、下部導体パターン層を形成する工程、ライン間絶縁層を形成する工程及び上部導体パターン層を形成する工程を順次繰り返すことにより、導体パターンが層間絶縁層の間に配設して複数積み重ねられた多層構造の電子部品が得られる。

【0013】

【発明の実施の形態】以下、本発明に係る電子部品及びその製造方法の実施の形態について添付の図面を参照して説明する。各実施形態では、電子部品としてインダクタを例にして説明するが、必ずしもインダクタに限るものではなく、ストリップライン部品等であってもよい。

【0014】[第1実施形態、図1〜図12] 図1に示すように、インダクタ6は、絶縁性基板11と、この絶縁性基板11上に設けられたスパイラル状のコイル導体パターン1〜4等で構成されている。絶縁性基板11は、誘電体あるいは絶縁体等からなる。コイル導体パターン1〜4は、ビアホール5を介して順次電氣的に直列に接続されている。

【0015】この多層スパイラルインダクタ6の製造方法を図2〜図12を参照して説明する。なお、インダクタ6を量産する場合には、複数のインダクタを設けたマザー基板の状態では製造されるが、第1実施形態では個座の場合を例にして説明する。

【0016】図2に示すように、感光性Agペーストもしくは感光性Cuペースト等の印刷により、セラミック基板11上に感光性導電材料12を膜状に付与する。その後、感光性導電材料12の上にネガフィルムのフォトマスク30を被せる。フォトマスク30は、図1の第1層目のコイル導体パターン1に対応する光透過部分31と、光遮光部分32とを有している。フォトマスク30を通して感光性導電材料12を露光すると、光透過部分31のみを光が透過する。次に、フォトマスク30を外して感光性導電材料12を現像すると、感光性導電材料12の未露光部分が除去され、図3に示すように、第1層目のスパイラル状のコイル導体パターン1の下部導体パターン層1aが形成される。

【0017】次に、図4に示すように、下部導体パターン層1aを覆うようにセラミック基板11の上に絶縁材料22を印刷等の手法により付与する。絶縁材料22は、有機、無機いずれの材料でもよく、例えばポリイミド等の樹脂ペーストやガラスペーストが用いられる。そして、図5に示すように、例えば溶剤を用いて、絶縁材料22の厚みが下部導体パターン層1aの厚みと略等し

くなって下部導体パターン層1aが露出するまで、絶縁材料22を洗い流し、ライン間絶縁層23を形成する。このとき、溶剤は下部導体パターン層1aを溶解しない。この手段は研磨その他のものでもよい。

【0018】次に、図6に示すように、感光性Agペーストや感光性Cuペースト等の印刷により、ライン間絶縁層23上に感光性導電材料12を膜状に付与する。その後、感光性導電材料12の上に、前記フォトマスク30を被せる。フォトマスク30を通して感光性導電材料12を露光した後、図7に示すように、現像して感光性導電材料12の未露光部分を除去する。これにより、下部導体パターン層1aの上に、上部導体パターン層1bが形成される。こうして、セラミック基板11の上に、第1層目のスパイラル状のコイル導体パターン1（図1参照）が形成される。コイル導体パターン1は、その厚さ t_1 と幅 w_1 の比で定義されるアスペクト比（ t_1/w_1 ）が1以上となるように、下部導体パターン層1aの厚み及び上部導体パターン層1bの厚みが選択される。その後、約800～900℃で熱処理を行う。このとき、ライン間絶縁層23の材料がガラスを含む材料である場合は、ライン間絶縁層23は若干収縮して残り、ポリイミド等の樹脂を含む材料である場合は、ライン間絶縁層23は飛散する。第1実施形態の場合、ライン間絶縁層23の材料として、ガラスを含む材料を用いた。

【0019】次に、図8に示すように、第1層目のコイル導体パターン1及びライン間絶縁層23の上に、感光性ガラスペーストの印刷等により、感光性絶縁材料24を膜状に付与する。その後、この感光性絶縁材料24の上にフォトマスク40を被せる。フォトマスク40は、図1の第1層目のコイル導体パターン1に電氣的に接続するビアホール5に対応する光遮光部分41と光透過部分42を有している。フォトマスク40を通して感光性絶縁材料24を露光した後、現像して感光性絶縁材料24の未露光部分を除去することにより、図9に示すように、ビアホール5用の孔5aを有する層間絶縁層25が形成される。その後、再び、熱処理を行う。

【0020】次に、図10に示すように、層間絶縁層25上に印刷等の手法により感光性導電材料12を膜状に付与する。ビアホール用孔5aにも感光性導電材料12が充填される。その後、感光性導電材料12の上にフォトマスク50を被せる。フォトマスク50は、図1の第2層目のコイル導体パターン2に対応する光透過部分51と、光遮光部分52とを有している。フォトマスク50を通して感光性導電材料12を露光した後、現像して感光性導電材料12の未露光部分を除去する。これにより、層間絶縁層25上に第2層目のコイル導体パターン2（図1参照）の下部導体パターン層2aが形成される。この下部導体パターン層2aはビアホール5を介してコイル導体パターン1に電氣的に接続している。

【0021】以下、同様にして、コイル導体パターン

3、4の下部導体パターン層3a、4aの形成工程、ライン間絶縁層23の形成工程、コイル導体パターン2～4の上部導体パターン層2b～4bの形成工程及び層間絶縁層25の形成工程を所定回数繰り返して、図12に示すような多層構造を形成した後、外装保護膜を形成する。なお、マザー基板の状態では製造している場合には、さらに、マザー基板をスクライブブレイクもしくはダイシングにより所定の製品サイズ毎に切り出す。次に、図1の第1層目のコイル導体パターン1の接続部1a及び第4層目のコイル導体パターン4の接続部4aにそれぞれ接続される端子電極を、セラミック基板11の両端部に形成する。これにより、一対の端子電極間に、スパイラル状のコイル導体パターン1～4が、ビアホール5、…、5により順次、電氣的に接続された構成を有する多層スパイラルインダクタ6を得ることができる。

【0022】このようにして、多層スパイラルインダクタ6を製造すれば、下部導体パターン層1a～4aの上に上部導体パターン層1b～4bが形成された構造のコイル導体パターン1～4を容易に得ることができる。これにより、コイル導体パターン1～4の各々は、感光性導電材料の深さ方向の解像限界以上の膜厚を得ることができる。これにより、1以上の高アスペクト比のコイル導体パターン1～4を有し、インダクタンス値のばらつきの少ない多層スパイラルインダクタを簡単に得ることができる。

【0023】以上の構成からなる多層スパイラルインダクタ6は、図12に示すように、コイル導体パターン1～4（図12では、コイル導体パターン1及び2のみが示されている）の各々が下部導体パターン層1a～4aと上部導体パターン層1b～4bとからなり、かつ、その厚み t_1 と幅 w_1 との比で定義されるアスペクト比（ t_1/w_1 ）が1以上となるようにしたものである。従って、コイル導体パターン1～4の直流抵抗値が小さくなり、Q値の低下を防止することができる。また、多層スパイラルインダクタ6の小型化のために、コイル導体パターン1～4の幅を狭くしても、コイル導体パターン1～4の導体損の増加が抑えられ、小型化に伴うQ値の低下も抑えられる。

【0024】〔第2実施形態〕第2実施形態は、コイル導体パターン1～4の材料として非感光性導電材料を用い、かつ、ライン間絶縁層23や層間絶縁層25の材料として非感光性絶縁材料を用いてインダクタを製造した場合について説明する。

【0025】セラミック基板11の上面全面に非感光性導電材料を印刷やスパッタリング、蒸着等の手法により膜状に形成した後、周知のフォトリソグラフィの技術（レジスト膜塗布、露光、レジスト膜現像、導電材料エッチング、レジスト膜剥離）等を用いてコイル導体パターン1の下部導体パターン層1aを形成する。なお、この下部導体パターン層1aは、セラミック基板11の上

面に、所定の部分に孔を設けたマスク材を被せた後、非感光性導電材料をスパッタリングや蒸着等の手法で、セラミック基板11上の必要な部分にのみ付与する方法（いわゆるアディティブ法）により形成してもよい。

【0026】次に、下部導体パターン層1aを覆うようにセラミック基板11の上に非感光性絶縁材料を印刷等の手法により付与する。そして、例えば溶剤を用いて、絶縁材料の厚みが下部導体パターン層1aの厚みと略等しくなると下部導体パターン層1aが露出するまで、絶縁材料を洗い流し、ライン間絶縁層23を形成する。この手段は研磨その他でもよい。

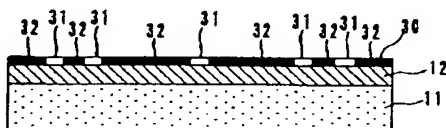
【0027】次に、非感光性導電材料を印刷やスパッタリング、蒸着等の手法により、ライン間絶縁層23上に膜状に付与する。その後、フォトリソグラフィの技術等を用いてコイル導体パターン1の上部導体パターン層1bを形成する。この後、熱処理を行う。同様に、ビアホール5用の孔5aを有する層間絶縁層25を形成する。以下、順次、コイル導体パターン2～4の下部導体パターン層2a～4aの形成工程、ライン間絶縁層23の形成工程、コイル導体パターン2～4の上部導体パターン層2b～4bの形成工程及び層間絶縁層25の形成工程を所定回数繰り返すことによって、多層スパイラルインダクタ6を得ることができる。

【0028】〔他の実施形態〕本発明は、前記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々に変更することができる。例えば、導体パターンは、前記実施形態のように、コイル導体パターン1～4の4層に限られるものではなく、絶縁基板に1層のみ形成されていてもよく、2層、3層もしくは5層以上形成されていてもよい。また、各層のコイル導体パターンは3層以上で構成されていてもよい。また、導体パターンの形状は、スパイラル状のほか、直線状や蛇行状のものであってもよい。さらに、前記実施形態では、導体パターンのアスペクト比を1以上としたが、アスペクト比が1より小さい場合であってもよい。

【0029】また、図13に示すように、ライン間絶縁層23を形成する際、絶縁材料22の厚みを下部導体パターン層1a～4aの厚みより小さくなるまで絶縁材料22を洗い流し、下部導体パターン層1a～4aの上部がライン間絶縁層23の表面から突出するようにしてもよい。

【0030】

【図2】



【発明の効果】以上の説明からも明らかなように、本発明によれば、導体パターンが下部導体パターン層とその上に積層された上部導体パターン層とからなり、アスペクト比が1以上となっているので、導体パターンの直流抵抗値を小さくできる。従って、導体パターンをコイル導体パターンとすることにより、高いQ値のインダクタが得られる。また、小型化のために、導体パターンの幅を狭くしても、導体パターンの導体損の増加が抑えられ、小型化に伴うQ値の低下も抑えられる。

【0031】また、本発明によれば、導体パターンの下部導体パターン層及び上部導体パターン層の単独の各形成工程では、導電材料の深さ方向の解像限界以上の膜厚を得ることができなくても、下部導体パターン層の上に上部導体パターン層を形成することにより、高アスペクト比の導体パターンを有する電子部品を簡単に得ることができる。

【図面の簡単な説明】

【図1】本発明に係る電子部品の一例の構成を示す斜視図。

【図2】本発明に係る電子部品の製造方法の一実施形態を示す断面図。

【図3】図2に続く製造工程を示す断面図。

【図4】図3に続く製造工程を示す断面図。

【図5】図4に続く製造工程を示す断面図。

【図6】図5に続く製造工程を示す断面図。

【図7】図6に続く製造工程を示す断面図。

【図8】図7に続く製造工程を示す断面図。

【図9】図8に続く製造工程を示す断面図。

【図10】図9に続く製造工程を示す断面図。

【図11】図10に続く製造工程を示す断面図。

【図12】図11に続く製造工程を示す部分断面図。

【図13】他の実施形態を示す断面図。

【符号の説明】

1～4…コイル導体パターン

5…ビアホール

5a…ビアホール用の孔

6…多層スパイラルインダクタ

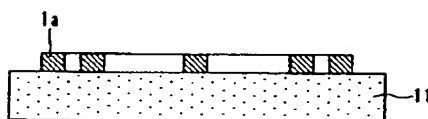
11…セラミック基板

23…ライン間絶縁層

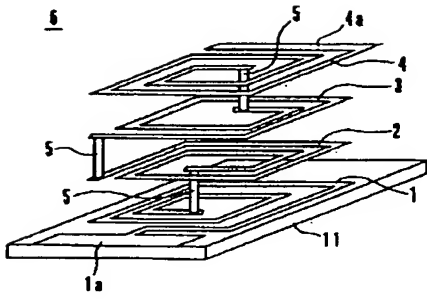
25…層間絶縁層

30, 40, 50…フォトマスク

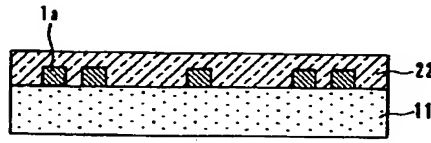
【図3】



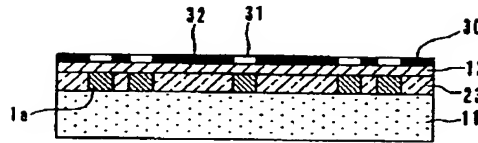
【図1】



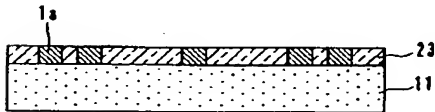
【図4】



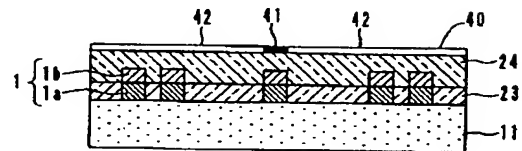
【図6】



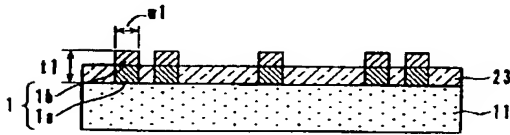
【図5】



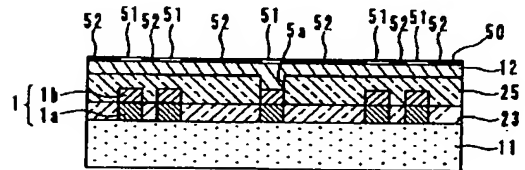
【図8】



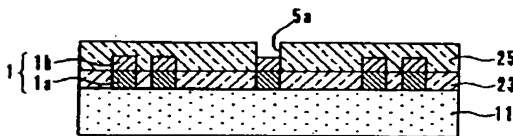
【図7】



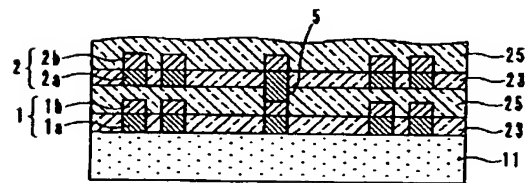
【図10】



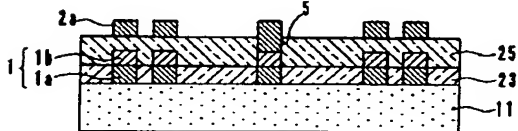
【図9】



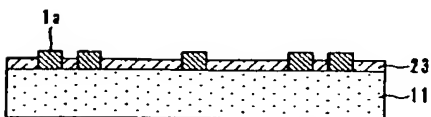
【図12】



【図11】



【図13】



【手続補正書】

【提出日】平成11年7月16日(1999. 7. 16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 絶縁基板上に感光性導電材料からなる下部導体パターン層と該下部導体パターン層の上に積層された感光性導電材料からなる上部導体パターン層とからなる導体パターンを備え、該導体パターンの厚みとパターン幅の比が1以上であることを特徴とする電子部品。

【請求項2】 前記導体パターンがコイル導体パターンであることを特徴とする請求項1記載の電子部品。

【請求項3】 前記導体パターンがスパイラル形状を有していることを特徴とする請求項1又は請求項2記載の電子部品。

【請求項4】 前記導体パターンが層間絶縁層を間に配設して複数積み重ねられていることを特徴とする請求項1ないし請求項3記載の電子部品。

【請求項5】 絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

前記絶縁基板上に前記下部導体パターン層を形成する工程と、

前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与した後、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、

前記下部導体パターン層の上に前記上部導体パターン層を形成する工程と、

を備えたことを特徴とする電子部品の製造方法。

【請求項6】 絶縁基板上に下部導体パターン層と該下部導体パターン層の上に積層された上部導体パターン層とからなる導体パターンを備えた電子部品の製造方法であって、

前記絶縁基板上に感光性導電材料を膜状に付与し、該感光性導電材料をフォトマスクを通して露光し、現像して前記下部導体パターン層を形成する工程と、

前記下部導体パターン層を覆って前記絶縁基板上に絶縁材料を膜状に付与し、該絶縁材料を少なくとも前記下部導体パターン層の上面が露出するまで除去してライン間絶縁層を形成する工程と、

前記ライン間絶縁層及び前記下部導体パターン層の上に感光性導電材料を膜状に付与し、該感光性導電材料を前記フォトマスクを通して露光し、現像して前記下部導体パターン層の上に前記上部導体パターン層を形成する工

程と、

を備えたことを特徴とする電子部品の製造方法。

【請求項7】 ライン間絶縁層及び導体パターンの上にビアホールを有する層間絶縁層を形成する工程、下部導体パターン層を形成する工程、ライン間絶縁層を形成する工程及び上部導体パターン層を形成する工程を順次繰り返すことを特徴とする請求項5又は請求項6記載の電子部品の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段及び作用】前記目的を達成するため、本発明に係る電子部品は、絶縁基板上に感光性導電材料からなる下部導体パターン層と該下部導体パターン層の上に積層された感光性導電材料からなる上部導体パターン層とからなる導体パターンを備え、該導体パターンの厚みとパターン幅の比が1以上であることを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】導体パターンが、下部導体パターン層と上部導体パターン層からなるため、その断面積は下部導体パターン層の断面積と上部導体パターン層の断面積との和に等しい。しかも、これらのパターン層は比較的厚く成膜できる感光性導電材料からなるため、導体パターンの断面積が大きくなり、導体パターンの直流抵抗値が低減される。そして、導体パターンがコイル導体パターンで、その形状をスパイラル状にすることにより、高いQ値を有し、かつ、インダクタンス値の大きいインダクタが得られる。また、導体パターンの厚みとパターン幅の比で定義されるアスペクト比を1以上とすることにより、導体パターンのパターン幅寸法が抑えられ、導体パターンの直流抵抗値を増加させることなく、導体パターンの絶縁基板上での占有面積を低減させることができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】

【発明の効果】以上の説明からも明らかなように、本発明によれば、感光性導電材料からなる導体パターンが下

(8) 開2000-36413 (P2000-36413A)

部導体パターン層とその上に積層された上部導体パターン層とからなり、アスペクト比が1以上となっているので、導体パターンの直流抵抗値を小さくできる。従って、導体パターンをコイル導体パターンとすることによ

り、高いQ値のインダクタが得られる。また、小型化のために、導体パターンの幅を狭くしても、導体パターンの導体損の増加が抑えられ、小型化に伴うQ値の低下も抑えられる。

フロントページの続き

(72)発明者 川口 正彦
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
(72)発明者 天谷 圭司郎
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 爲澤 栄太
京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
Fターム(参考) 4E351 AA07 BB09 BB15 BB31 BB35
CC11 CC27 DD04 DD05 DD47
DD48 EE03 GG07 GG09
5E062 DD01
5E070 AA01 AB02 AB06 BA01 CB04
CB08 CB12 CB13 CB17 DA20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.